

## **RESOLUCIÓN A LA CONVOCATORIA DE BECA PROYECTO**

**Proyecto: Lowering the adoption barriers for Formal Verification of ASIC and FPGA designs in the Space sector**

D. Hipólito Guzmán Miranda, responsable del Proyecto. Examinada la documentación presentada por los candidatos que se relacionan a continuación a la convocatoria de beca publicada con fecha 13/11/2024:

- Marcos López García.

Y según los siguientes criterios de valoración:

### **Requisitos de los solicitantes:**

Poseer la nacionalidad española, ser nacional de un país de la Unión Europea o, para los solicitantes extranjeros, tener permiso de residencia en España o visado de estudios durante el periodo de vigencia de la beca, o compromiso de presentar este último en el plazo máximo de un mes desde la concesión de la beca.

### **Requisitos específicos:**

- Alumno de Máster en Ingeniería de las Telecomunicaciones, Máster en Ingeniería Industrial o Máster en Ingeniería Electrónica, Robótica y Automática
- Conocimientos prácticos de VHDL
- Conocimientos prácticos de verificación de diseños VHDL por simulación, métricas y testbenches estructurados
- Buen nivel de inglés
- Se valorarán: conocimientos de verificación formal, conocimientos de PSL (Property Specification Language), conocimientos de python, y manejo de git

**Resuelvo conceder la misma a D. Marcos López García**

En Sevilla a 22 de noviembre de 2024

Fdo.: Hipólito Guzmán Miranda  
Profesor Responsable

## MOTIVACIÓN DE LA RESOLUCIÓN

### Solicitudes recibidas

Se han recibido, a fecha de finalización del plazo de presentación de solicitudes, las solicitudes de los siguientes candidatos:

1. Marcos López García

### Análisis de los candidatos

#### **Candidato 1: Marcos López García**

#### **Cumplimiento de requisitos:**

Requisito	Obligatoriedad	Cumple?
Alumno de Máster en Ingeniería de las Telecomunicaciones, Máster en Ingeniería Industrial o Máster en Ingeniería Electrónica, Robótica y Automática	Necesario	SÍ (Máster en Ingeniería de las Telecomunicaciones)
Conocimientos prácticos de VHDL	Necesario	SÍ
Conocimientos prácticos de verificación de diseños VHDL por simulación, métricas y testbenches	Necesario	SÍ
Buen nivel de inglés	Necesario	SÍ (Título B2)
Conocimientos de verificación formal	Valorable	SÍ
Conocimientos de PSL (Property Specification Language)	Valorable	SÍ
Conocimientos de Git	Valorable	SÍ

**Fortalezas:**

- Matrícula de Honor en la asignatura Electrónica Digital para Comunicaciones del Máster en Ingeniería de las Telecomunicaciones, en la que se trabaja el diseño y verificación de VHDL, incluyendo verificación formal y PSL, y en la que el alumno ha trabajado también con el software de control de versiones git.
- Posee cierta experiencia investigadora, ya que ha publicado un artículo de congreso sobre su Trabajo Fin de Grado:
  - LÓPEZ GARCÍA, M.; NARANJO HERNANDEZ, D.; REINA TOSINA, J. Interoperabilidad de Bluetooth Low Energy con ISO/IEEE X73- PHD: estudio de propuestas basadas en encapsulación de datos. En: XLI Congreso Anual de la Sociedad Española de Ingeniería Biomédica. Cartagena: Universidad Politécnica de Cartagena, 2023. Pp. 89-92. ISBN: 978-84-17853-76-1 . URL:  
<https://repositorio.upct.es/entities/publication/33a915a4-ae97-4a82-abc1-39de2f01c5c5>
- Perfil muy en sintonía con las necesidades del proyecto.

**Candidatos ordenados por orden de preferencia (1 = mayor preferencia):**

1. Marcos López García

En Sevilla, a 22 de noviembre de 2024,

Hipólito Guzmán Miranda  
Profesor Titular de Universidad  
Departamento de Ingeniería Electrónica  
Universidad de Sevilla